

Patent Abstracts of Japan

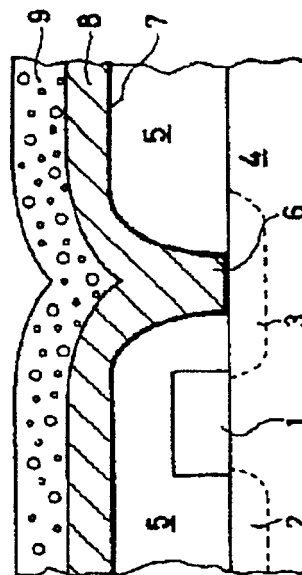
PUBLICATION NUMBER : JP4072733
 PUBLICATION DATE : 06-03-92
 APPLICATION NUMBER : JP900185670
 APPLICATION DATE : 13-07-90

VOL: 16 NO: 285 (E - 1222)
 AB. DATE : 24-06-1992 PAT: A 4072733
 PATENTEE : SHARP CORP
 PATENT DATE: 06-03-1992

INVENTOR : ONISHI SHIGEO

INT.CL. : H01L21/3205

TITLE : MANUFACTURE OF SEMICONDUCTOR
 DEVICE



ABSTRACT : PURPOSE: To enhance the electromigration resistance by a method wherein, when a two layer wiring comprising Al.Si/W films is formed, the layer, after depositing a W film, is heat-treated to increase the grain size.
 CONSTITUTION: A BPSG film 5 is laminated on an Si substrate 4 having diffused region such as a gate electrode 1, a source 2 and a drain 3 and then a contact hole 6 connecting to the drain 3 is formed, next a thin TiN film 7 is deposited to enhance the bond properties between and SiO₂ also to avoid the reaction of W to Si. Later a W film 8 is formed by CVD process. Next, the whole body is heat-treated in a furnace. At this time, since the surface of the W film 8 is oxidized by sucked-in oxygen in an ordinary electric furnace, an RTA (rapid thermal annealing) furnace shall be used. Later, an Al Si film 9 is deposited to form the grains in relatively large size so that the electromigration resistance may be enhanced.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-72733

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月6日

H 01 L 21/3205

6810-4M H 01 L 21/88
6810-4M

R
M

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-185670

⑰ 出 願 平2(1990)7月13日

⑱ 発 明 者 大 西 茂 夫 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 野河 信太郎

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. コンタクトホールを有する半導体基板上に
微細積層配線を形成するに際して、

(i) コンタクトホールを含む半導体基板上に、
全面に、薄いバリア層を介してW(タングステン)
膜を積層し、

(ii) 熱処理を付して、上記W(タングステン)
膜を、これを構成するタングステンよりも大きな
グレインサイズのタングステンから実質的に構成
されるグレインサイズの大きなW(タングステン)
膜に置換し、

(iii) 続いて、全面に、Al-Si膜を積層して
上層がAl-Si膜からなり、下層がグレインサイ
ズの大きなW膜からなる2層配線を形成すること
を特徴とする半導体装置の製造方法。

この発明は、半導体装置の製造方法に関し、更
に詳しくはコンタクトホールを有する半導体基板
上に微細積層配線を形成することに関するもので
ある。

(ロ) 従来技術

従来この種のSiの微細配線においては、バ
リアメタルとなるTiN膜やTiW膜を用いたAl-
Si/Ti-NやAl-Si/Ti-Wの積層配線構
造が用いられている。特に、CVD-W膜はステッ
プカバレッジが良好なためコンタクトの穴埋めに
対しても有効になる。このため配線部として上層
にAl-Si膜を用い、下層にW膜を用いた2層配
線構造のものが提案されている。

(ハ) 発明が解決しようとする課題

しかし、Al-Si/Wの積層配線を用いた場合、
Al-Si単層膜に比べAlのグレインサイズが小
さくなり、その結果としてエレクトロマイグレー
ション耐性が劣化する。

特開平4-72733(2)

すなわち、基本的に、W(タングステン)はW(110)面が配向し易く、Al(アルミニウム)はAl(111)面が配向し易い、という特徴を持っている。

例えば、第2図(a)(b)に示すように、W(110)面とAl(111)面は同じ原子配列を有し、また原子間距離もほぼ同じである。それ故、W膜上にAl・Si膜をスパッタするのの際し、下地の影響を受け易くなる。

一般的に、W膜は0.1 μ m程度のグレインサイズを有するため、上層Alのグレインサイズも、単層のAl・Si膜の場合に比べ小さくなる。そして、配線後に、通常400℃前後の熱処理を行っているが、400℃前後の温度では下地W膜のグレインが成長しにくいため、上層部のAl・Si膜も成長しにくくなる。

(二)課題を解決するための手段および作用

この発明は、コンタクトホールを有する半導体基板上に微細積層配線を形成するに際して、(i)コンタクトホールを含む半導体基板上に、全面に、

レイン3の拡散領域を有するSi基板4上の全面にBPSG膜5を積層した後、ドレイン3に通ずるコンタクトホール6を形成し、次に、WとSiO₂との密着性を上げ、WとSiとの反応を防止するためにバリア層として薄いTi・N膜(膜厚500Å)7を堆積する。

その後、CVD法により、W膜8を形成する。次に、炉内で800〜900℃の温度で熱処理を行う。

なお、この時、通常の電気炉では酸素の巻き込みによりW膜8の表面が酸化されてしまう。そのため、RTA(Rapid Thermal Anneal)炉を用いる必要がある。

その後、Al・Si膜9を堆積するが、比較的大きなグレインが形成される事になり、その結果としてエレクトロマイグレーション耐性が向上される事になる。

(ハ)発明の効果

以上のようにこの発明によれば、Al・Si/Wの微細配線を形成するに際して、Wデポ後に熱処理

を行いバリア層を介してW(タングステン)膜を積層し、(ii)熱処理を付して、上記W(タングステン)膜を、これを構成するタングステンよりも大きなグレインサイズのタングステンから実質的に構成されるグレインサイズの大きなW(タングステン)膜に変換し、(iii)続いて、全面に、Al・Si膜を積層して上層がAl・Si膜からなり、下層がグレインサイズの大きなW膜からなる2層配線を形成することを特徴とする半導体装置の製造方法である。

すなわち、この発明は、Al・Si/W膜の2層配線を形成するに際して、W膜堆積後に熱処理を行いグレインサイズを大きくし、それにより上層Al・Si膜のグレインサイズを大きくできてエレクトロマイグレーション耐性を向上できるようにしたものである。

(ホ)実施例

以下に、具体的に実施例を第1図を用いて説明を行う。

第1図において、ゲート電極1、ソース2、ド

rain 3の拡散領域を有するSi基板4上の全面にBPSG膜5を積層した後、ドレイン3に通ずるコンタクトホール6を形成し、次に、WとSiO₂との密着性を上げ、WとSiとの反応を防止するためにバリア層として薄いTi・N膜(膜厚500Å)7を堆積する。

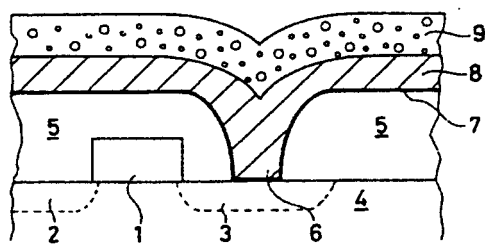
4. 図面の簡単な説明

第1図はこの発明の一実施例を用いて製造された半導体装置の要部構成説明図、第2図(a)および(b)はそれぞれタングステン(W)膜およびアルミニウム(Al)膜の原子配列を示す図である。

- 4……Si基板、7……Ti・N膜(バリア層)、
- 8……グレインサイズの大きなW膜、
- 9……Al・Si膜。



第 1 図



第 2 図

